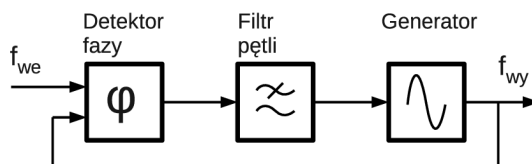


Pętla synchronizacji fazy PLL

Podstawowa pętla synchronizacji fazy (PLL - Phase Locked Loop) składa się z następujących bloków funkcjonalnych:

- detektora fazy,
- filtru pętli (filtr dolnoprzepustowy),
- generatora sterowanego napięciem (VCO – Voltage Controlled Oscillator) lub prądem (CCO – Current Controlled Oscillator),

połączonych jak na rysunku 1.



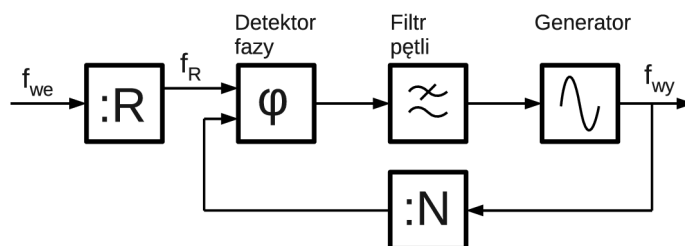
Rysunek 1: Elementarna pętla PLL

Detektor fazy jest układem, którego sygnał wyjściowy (np. prąd lub napięcie) jest proporcjonalny do różnicy faz dwóch sygnałów doprowadzonych do jego wejść. Jeśli sygnały te mają tę samą częstotliwość, to sygnał wyjściowy detektora będzie stały i zależny od przesunięcia fazy pomiędzy jednym sygnałem a drugim. Jeśli częstotliwości sygnałów będą się nieco różnić, to zależności fazowe pomiędzy nimi będą zmienne i zmieniać się będzie też sygnał wyjściowy.

Do wejścia detektora fazy doprowadzony jest sygnał wejściowy (sygnał odniesienia) o częstotliwości f_R oraz sygnał sprzężenia zwrotnego pobierany z wyjścia generatora sterowanego. Sygnał wyjściowy detektora fazy, po przejściu przez filtr pętli steruje częstotliwością pracy generatora. Tworzy się w ten sposób pewien układ ze sprzężeniem zwrotnym. Jeśli częstotliwość sygnału wyjściowego jest dokładnie równa częstotliwości odniesienia to układ znajduje się w stanie równowagi, sygnał wyjściowy detektora fazy jest stały a generowana częstotliwość nie zmienia się. Jeśli częstotliwość sygnału odniesienia ulegnie zmianie, to pojawi się narastająca w czasie różnica fazy pomiędzy nim a sygnałem sprzężenia zwrotnego i sygnał wyjściowy detektora fazy zacznie się zmieniać, co pociągnie za sobą zmianę częstotliwości generatora. Jeśli kierunek tej zmiany częstotliwości zostanie wybrany właściwie, czyli tak aby był zgodny ze zmianą częstotliwości odniesienia, to układ będzie mógł osiągnąć nowy stan równowagi, w którym częstotliwość wyjściowa będzie równa nowej częstotliwości odniesienia. Szybkość, z jaką pętla osiąga kolejny stan równowagi zależy między innymi od charakterystyki filtru pętli.

Stabilizujące działanie pętli sprzężenia zwrotnego redukuje też wpływ różnego rodzaju zaburzeń w pracy generatora przestrzeganego na częstotliwość generowaną. Jeśli jakikolwiek czynnik zewnętrzny spowoduje zmianę generowanej częstotliwości to ujemne sprzężenie zwrotne realizowane przez pętlę PLL spowoduje działanie w kierunku przywrócenia stanu równowagi i powrót generowanej częstotliwości do poprzedniej wartości.

Tak zbudowany układ generuje częstotliwość wyjściową równą wejściowej częstotliwości odniesienia. Aby móc generować inne częstotliwości, pętlę uzupełnia się o odpowiednie dzielniki częstotliwości. Uzyskujemy wtedy syntezer częstotliwości z pętlą PLL (rys 2).



Rysunek 2: Syntezer częstotliwości z pętlą PLL

Najważniejszy dzielnik jest włączony pomiędzy wyjściem generatora przestrzeganego a wejście detektora fazy. Jeśli zmniejsza on częstotliwość sygnału N-krotnie to stan równowagi pętli

osiąga się dla częstotliwości wyjściowej N razy większej niż częstotliwość odniesienia:

$$f_{wy} = N f_R$$

W praktyce często przed pętlą włączony jest drugi dzielnik częstotliwości wytwarzający sygnał o częstotliwości odniesienia f_R z sygnału o częstotliwości wejściowej f_{we} . Wtedy częstotliwość wyjściowa wyraża się wzorem:

$$f_{wy} = \frac{N}{R} f_{we}$$

Dzielnik częstotliwości odniesienia zasadniczo nie stanowi elementu pętli PLL, lecz w praktyce jest często stosowany, gdyż najczęściej dostępne częstotliwości wzorcowe są większe niż wymagane częstotliwości odniesienia. Źródłem częstotliwości wzorcowej są zwykle generatory kwarcowe wytwarzające sygnał na częstotliwości od kilku do kilkudziesięciu megaherców, podczas gdy od układu syntezy wymaga się aby generowane częstotliwości były wielokrotnością znacznie mniejszej wielkości, niekiedy równej tylko jeden lub kilka kiloherców.

Zazwyczaj podczas pracy układu syntezy współczynnik podziału R jest stały natomiast wartość współczynnika podziału N jest zmieniana tak aby uzyskać żadaną częstotliwość wyjściową stanowiącą wielokrotność częstotliwości odniesienia f_R :

$$f_R = \frac{f_{we}}{R} = \Delta f$$

Powinna ona być równa założonej wielkości Δf określającej wymagany krok syntezy (zakładamy, że współczynnik podziału dzielnika w torze sprzężenia zwrotnego może być ustawiany na kolejne liczby naturalne). Przekształcając powyższą zależność można wyliczyć wymagany współczynnik podziału R dla zadanego kroku częstotliwości Δf i częstotliwości wejściowej f_{we} .

$$R = \frac{f_{we}}{\Delta f}$$

Współczynnik podziału N niezbędny do ustawienia żadanej częstotliwości wyjściowej f_{wy} można obliczyć ze wzoru:

$$N = \frac{f_{wy}}{\Delta f}$$

Transmitancja pętli

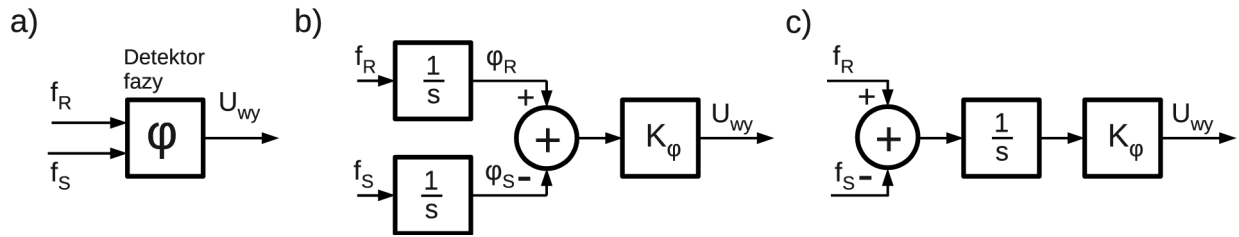
Pętla PLL jest układem nieliniowym i inercyjnym, co sprawia że dokładny opis jej działania jest trudny. Można jednak zastosować pewne uproszczenia pozwalające na stosunkowo prostą analizę jej działania w stanie synchronizacji. Przy analizie właściwości pętli PLL wygodnie jest przyjąć, że sygnałami w niektórych jej punktach są częstotliwości chwilowe występujących tam przebiegów. Generator VCO można wtedy opisać jako przetwornik napięcia U_{we} na częstotliwość f_{wy} opisany pewną funkcją:

$$f_{wy} = f_g(U_{we})$$

funkcja ta w ogólnym przypadku może być (i zwykle jest) nieliniowa, ale w pewnym otoczeniu punktu pracy pętli można ją aproksymować zależnością liniową w której współczynnik K_g określa nachylenie charakterystyki w tym punkcie:

$$\Delta f_{wy} = K_g \Delta U_{we}$$

Opis detektora fazy jest nieco bardziej złożony, częstotliwościowe sygnały wejściowe f_R i f_S należy przetworzyć na sygnały fazowe, porównać ze sobą a następnie przetworzyć na wyjściowy sygnał detektora (napięciowy lub prądowy). Daje to model przedstawiony na rysunku 3b. Ponieważ faza jest całką częstotliwości to wytworzenie sygnałów fazowych wymaga użycia idealnego układu całkującego (integratora) o transmitancji $1/s$. W tym modelu zakładamy, że charakterystyka detektora jest liniowa i ma nachylenie K_ϕ wyrażone w voltach na radian. Gdyby charakterystyka detektora była nieliniowa można ją aproksymować zależnością liniową analogicznie jak w przypadku generatora. Drobne przekształcenie układu do postaci z rysunku 3c upraszcza obliczenia



Rysunek 3: Detektor fazy: a) symbol, b) układ zastępczy, c) zmodyfikowany układ zastępczy

Dzielnik częstotliwości zmniejsza częstotliwość wejściową N -krotnie i jego transmitancja określona na częstotliwościach chwilowych wynosi:

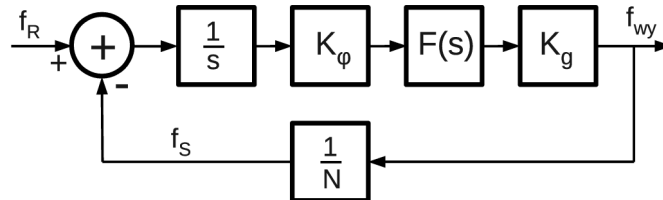
$$K_N = \frac{f_{wy}}{f_{we}} = \frac{f_{we}/N}{f_{we}} = \frac{1}{N}$$

Transmitancję filtru pętli pozostawiamy na razie w postaci ogólnej jako funkcję $F(s)$.

Transmitancja pętli otwartej (z rozłączonym sprzężeniem zwrotnym) jest iloczynem transmitancji wszystkich bloków wchodzących w jej skład:

$$K_o(s) = K\beta = K_g K_\varphi K_N F(s) = \frac{K_g K_\varphi F(s)}{N s}$$

Powyższe zależności pozwalają na utworzenie liniowego schematu zastępczego pętli PLL dla stanu synchronizacji (rys. 4)



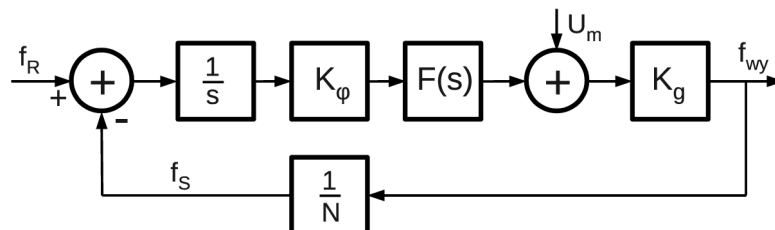
Rysunek 4: Schemat zastępczy pętli PLL

oraz na określenie jej transmitancji. Jeśli sygnałem wejściowym pętli jest częstotliwość odniesienia f_R to transmitancja pętli wyniesie:

$$K(s) = \frac{K}{1 + K\beta} = \frac{K_\varphi K_g F(s) \frac{1}{s}}{1 + K_\varphi K_g F(s) \frac{1}{N} \frac{1}{s}} = N \frac{K_\varphi K_g F(s)}{Ns + K_\varphi K_g F(s)}$$

Jeśli filtr pętli jest układem dolnoprzepustowym to transmitancja ta jest dolnoprzepustowa. Oznacza to, że pętla będzie tłumić szybkie zmiany częstotliwości odniesienia a zmiany powolne przeniosą się na wyjście ze współczynnikiem równym N . Częstotliwość graniczna transmitancji $K(s)$ określa pasmo przenoszenia pętli. Zależy ona nie tylko od charakterystyki filtru pętli $F(s)$ ale także od parametrów pozostałych bloków funkcjonalnych. Częstotliwość graniczna pętli jest istotnym parametrem projektowym pętli PLL i zależy od niej między innymi szybkość reakcji na zmianę częstotliwości wejściowej lub współczynnika podziału N .

Znaczenie praktyczne ma też sytuacja, w której sygnał wejściowy U_m dodawany jest do napięcia sterującego generatorem VCO tak jak na rysunku 5.



Rysunek 5: Pętla PLL z modulacją generatora VCO

W ten sposób można wprowadzić sygnał modulujący częstotliwościowo sygnał wyjściowy pętli. W podobny sposób można też modelować wpływ szumów fazowych generatora VCO.

Przy analizie transmitancji pętli należy zwrócić uwagę na obecność bloku o transmitancji $1/s$ wynikającego z przejścia z częstotliwości na fazę. Jest on równoważny idealnemu integratorowi (faza jest całką częstotliwości) i wprowadza przesunięcie fazy równe 90° ($\pi/2$). Zapewnienie stabilności w układzie ze sprzężeniem zwrotnym narzuca ograniczenia na całkowite przesunięcie fazy w pętli, jeśli będzie ono zbyt duże (powyżej 180°) to sprzężenie zwrotne stanie się dodatnie i przy dostatecznie dużym wzmocnieniu (powyżej 1) powstaną oscylacje. Aby tego uniknąć filtr należy zaprojektować tak, aby na częstotliwości równej częstotliwości granicznej pętli przesunięcie fazy było znacząco mniejsze od 90° . Całkowite przesunięcie fazy w pętli będzie wtedy mniejsze od 180° . Różnica pomiędzy 180° a rzeczywistym przesunięciem fazy w pętli jest nazywana marginesem fazy. Zazwyczaj, aby uzyskać optymalną odpowiedź impulsową pętli (czyli krótki czas synchronizacji pętli), przyjmuje się że margines fazy powinien wynieść około 45° .

Zakres częstotliwości trzymania, zakres częstotliwości chwytania

Zakres częstotliwości wyjściowych dla których pętla może pozostawać w stanie synchronizacji jest nazywany zakresem trzymania. Jest on ograniczony przez szereg czynników:

- zakres przestrajania generatora VCO,
- zakres napięć wyjściowych detektora fazy (lub filtru pętli – jeśli jest to filtr aktywny),
- zakres możliwych do uzyskania współczynników podziału N.

Uzyskanie synchronizacji przez początkowo niesynchronizowaną pętlę może wymagać spełnienia dodatkowych warunków. Jeśli aktualna częstotliwość generatora VCO bardzo różni się od żądanej to sygnał wyjściowy detektora fazy może nie mieć składowych o częstotliwościach dostatecznie niskich aby przeszły przez filtr pętli. W takiej sytuacji nie pojawi się sygnał regulacyjny i uzyskanie synchronizacji nie będzie możliwe. Aby uzyskać synchronizację początkowe odstrojenie generatora VCO nie może być zbyt duże a jego częstotliwość musi znajdować się w zakresie trzymania położonym wokół żądanej częstotliwości wyjściowej. Szerokość tego zakresu jest niekiedy znacznie mniejsza niż szerokość zakresu trzymania i tym mniejsza im niższa jest częstotliwość graniczna pętli.

Detektory fazy

Detektor iloczynowy

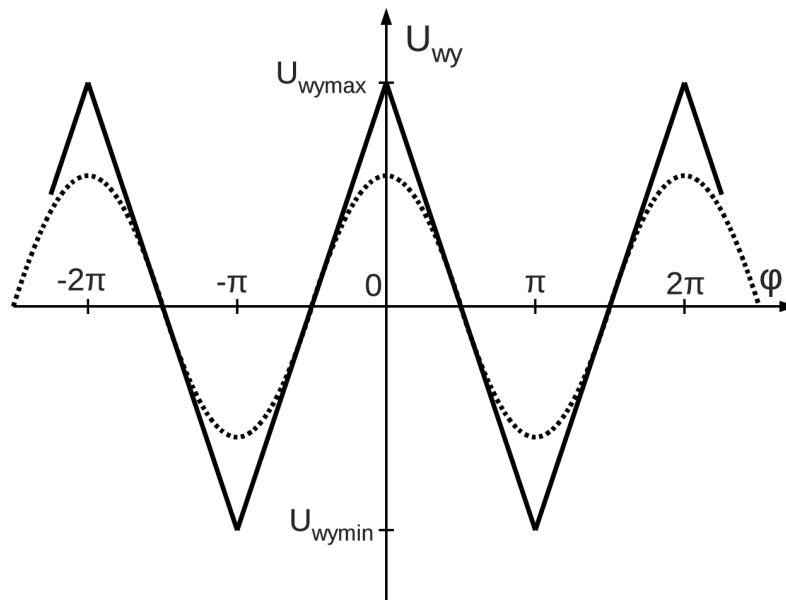
Najprostszym i najstarszym typem detektora fazy stosowanego w pętlach PLL jest detektor iloczynowy. Ze względu na prosty opis matematyczny, jest on często stosowany do teoretycznej analizy pracy pętli PLL. W wersji analogowej jest to układ mnożący dwa sygnały, najczęściej wykorzystuje się mieszacze tranzystorowe (np. w układzie Gilberta) lub diodowe (np. mieszacze pierścieniowe). Jeśli do wejść takiego mieszacza doprowadzone są dwa sygnały o tej samej częstotliwości ale przesunięte w fazie:

$$\begin{aligned}u_1(t) &= U_1 \cos(\omega t) \\ u_2(t) &= U_2 \cos(\omega t + \phi)\end{aligned}$$

to sygnał wyjściowy o postaci:

$$u_{wy}(t) = A u_1(t) u_2(t) = \frac{A}{2} U_1 U_2 [\cos \phi + \cos(2\omega t + \phi)]$$

będzie zawierał składową stałą zależną od kosinusa przesunięcia fazy pomiędzy sygnałami. Charakterystyka przejściowa takiego detektora fazy ma kształt odcinka kosinusoidy, w praktyce często układ mnożący jest często przesterowany lub nawet mnoży przebiegi prostokątne i wtedy charakterystyka przejściowa przybiera kształt linii łamanej tak jak na rysunku 6.



*Rysunek 6: Charakterystyka przenoszenia mnożącego detektora fazy:
linia przerywana – liniowe mnożenie przebiegów sinusoidalnych
linia ciągła – mnożenie przebiegów prostokątnych*

Istnieje też wersja cyfrowa detektora iloczynowego, stanowi ją bramka logiczna EXOR. Ponieważ w tym przypadku przebiegi sterujące są falami prostokątnymi to jego charakterystyka jest również linią łamaną.

Charakterystyka przejściowa detektora iloczynowego ma zarówno odcinki narastające jak i opadające. Dzięki temu stabilny punkt równowagi może być osiągnięty niezależnie od tego, czy częstotliwość generatora maleje czy rośnie przy zwiększaniu napięcia wyjściowego detektora fazy.

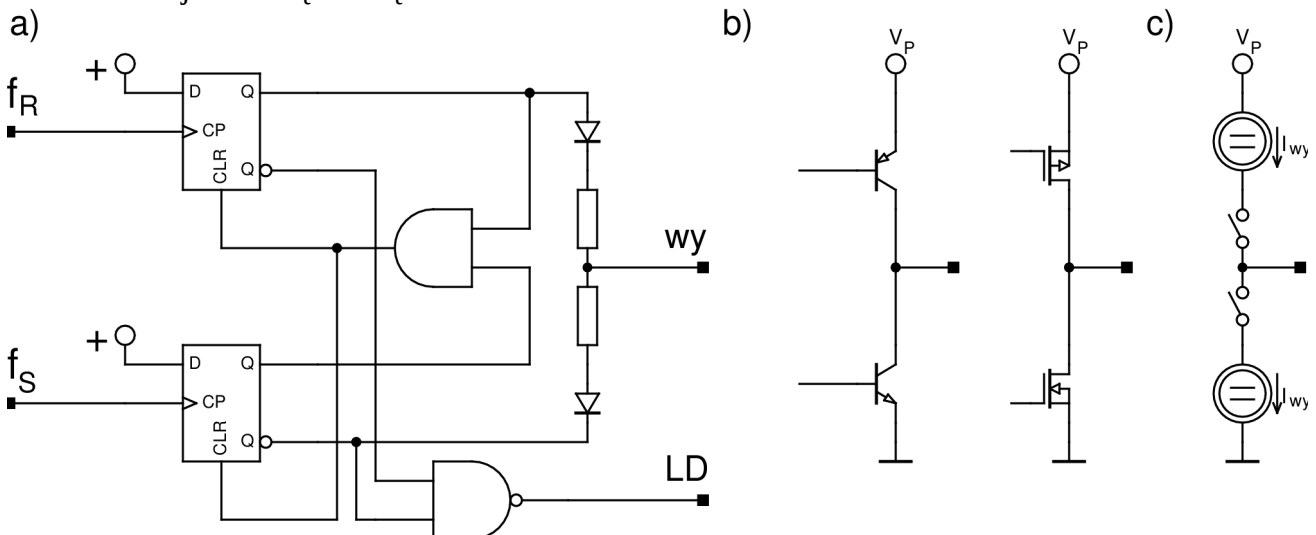
W stanie synchronizacji pętli pomiędzy przebiegami doprowadzonymi do wejść detektora fazy występuje pewne przesunięcie fazy, jest ono zależne od generowanej częstotliwości. Dla częstotliwości środkowej jest ono bliskie $\pm 90^\circ$ a dla skrajnych częstotliwości zakresu trzymania zbliżone do 0 lub 180° . Znak przesunięcia fazy zależy od tego, które zbocze charakterystyki jest wykorzystywane.

Zaletą iloczynowego detektora fazy jest zdolność do pracy z bardzo wysokimi częstotliwościami wejściowymi a najpoważniejszą wadą zdolność do synchronizacji na harmonicznym częstotliwości wejściowej. Oznacza to, że sygnał wyjściowy detektora może pojawić się nie tylko wtedy gdy częstotliwości sygnałów na obu wejściach są równe, ale także wtedy gdy pozostają względem siebie w zależności określonej stosunkiem dwóch liczb nieparzystych. Może to doprowadzić do synchronizacji pętli na częstotliwości innej niż zamierzona.

Detektor trójstanowy

Obecnie w pętlach PLL przeznaczonych do syntezy częstotliwości najczęściej stosowany jest detektor trójstanowy. Jego działanie można prześledzić na podstawie układu pokazanego na rysunku 7a. Zawiera on dwa przerzutniki D i dwie bramki. Do wejść zegarowych przerzutników doprowadzone są sygnały wejściowe detektora. Aktywne zbocze każdego z sygnałów powoduje ustawienie odpowiedniego przerzutnika w stan wysoki. Jeśli oba przerzutniki zostaną ustawione to zmienia się stan wyjścia bramki AND i przerzutniki zostaną wyzerowane. Jeśli zbocze jednego z sygnałów wyprzedza zbocze drugiego o pewien odcinek czasu to na wyjściu jednego z przerzutników pojawi się impuls o takiej długości. Gdy sygnały wejściowe są okresowe i o jednakowej częstotliwości, to długość impulsu będzie proporcjonalna do przesunięcia fazy między nimi a z tego, na którym wyjściu pojawi się impuls można określić znak przesunięcia fazy. W przypadku, gdy zbocza obu sygnałów wystąpią w tym samym momencie, czyli przesunięcie fazy między nimi będzie zerowe, przerzutniki zostaną ustawione równocześnie i niemal natychmiast wyzerowane (po czasie propagacji sygnału przez układ) a impulsy na wyjściach będą bardzo

krótkie i wzajemnie się zniosą.



Rysunek 7: Trójstanowy detektor fazy a) z diodową pompą ładunku, b) tranzystorowe napięciowe pompy ładunku, c) prądowa pompa ładunku

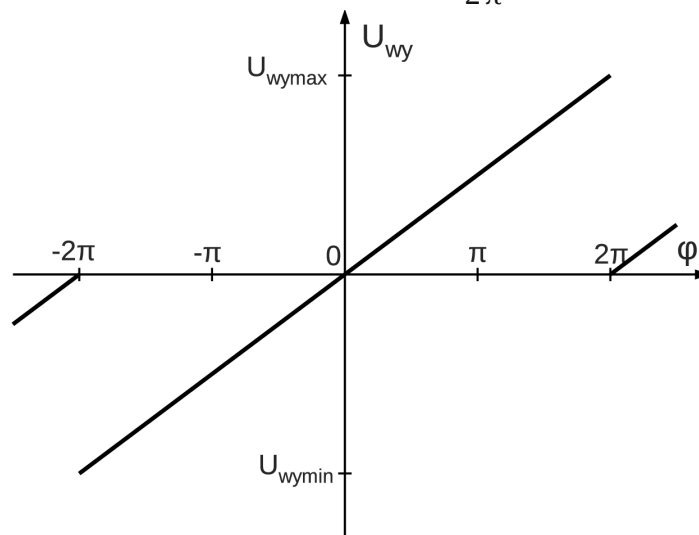
Wyjściowy obwód trójstanowego detektora fazy jest często nazywany pompą ładunku. Obwód ten powinien być tak skonstruowany aby mógł dostarczać kontrolowane porcje ładunku do filtru pętli. Stosowane są pompy ładunku z wyjściem napięciowym, działające na zasadzie bramki trójstanowej (rys. 7b), lub z wyjściem prądowym wykorzystującym kluczkowane źródła prądowe (rys. 7c). W tym ostatnim przypadku poprzez regulację prądu wyjściowego można zmieniać nachylenie charakterystyki detektora a przez to wpływać na wzmocnienie pętli i jej właściwości dynamiczne.

Charakterystyka trójstanowego detektora fazy jest liniowa w zakresie od -2π do $+2\pi$ a jej nachylenie zależy od napięcia U_P zasilającego pompę ładunku (jeśli wyjście jest napięciowe):

$$K_d [V/rad] = \frac{U_P [V]}{4\pi}$$

lub wydajności prądowej źródeł $\pm I_{wy}$ (jeśli wyjście jest prądowe):

$$K_d [mA/rad] = \frac{I_{wy} [mA]}{2\pi}$$



Rysunek 8: Charakterystyka przejściowa trójstanowego detektora fazy

Charakterystyka detektora trójstanowego zawiera tylko docinki narastające (lub tylko opadające) w związku z tym istotny staje się znak wzmocnienia w pętli, niewłaściwe jego dobranie powoduje że uzyskamy dodatnie sprzężenie zwrotne, punkt równowagi będzie niestabilny i pętla nie zsynchronizuje się. Przywrócenie poprawnej pracy wymaga zamiany wejść detektora fazy.

Niektóre układy scalonych pętli PLL są wyposażone w wewnętrzny przełącznik umożliwiający skonfigurowanie układu odpowiednio do znaku wzmocnienia pozostałych układów pętli

Trójstanowy detektor fazy działa również jeśli częstotliwości przebiegów znacznie się różnią, wtedy prawdopodobieństwo pojawienia się impulsu na wyjściu każdego z przerzutników jest proporcjonalne do częstotliwości sygnału wejściowego i układ działa jak detektor częstotliwości. Dzięki temu pętla PLL wyposażona w taki detektor osiągnie stan synchronizacji niezależnie od początkowego błędu częstotliwości (o ile tylko synchronizacja jest możliwa). Zakres częstotliwości chwywania jest w takiej pętli zawsze równy zakresowi trzymania, zbędne są dodatkowe układy ułatwiające synchronizację. Z tym detektorem synchronizacja pętli na harmonicznych nie jest możliwa. Detektor trójstanowy jest często określany jako detektor częstotliwości i fazy.

Kolejną korzystną cechą detektora trójstanowego jest łatwość wyprowadzenia sygnału informującego o stanie synchronizacji pętli. Na wyjściu LD pojawiają się impulsy jeśli którykolwiek z przerzutników jest w stanie aktywnym i średnia wartość napięcia jest proporcjonalna do błędu fazy w pętli. Dzięki temu można zasygnalizować użytkownikowi nieprawidłową pracę pętli a nawet np. zablokować dalsze stopnie nadajnika aby zapobiec emisji sygnału na niewłaściwej częstotliwości.

Detektor trójstanowy jest mało wrażliwy na kształt przebiegów wejściowych, współczynnik wypełnienia może być niemal dowolny, układ będzie działał jeśli tylko przerzutniki będą w stanie wykryć zbocze. W stanie synchronizacji przesunięcie fazy pomiędzy aktywnymi zboczami sygnałów wejściowych wynosi zawsze 0.

Głównym problemem w detektorze trójstanowym jest możliwość wystąpienia strefy martwej w okolicy zerowego przesunięcia fazy jeśli czasy propagacji przez układ zostaną niewłaściwie dobrane. Wtedy po osiągnięciu synchronizacji impulsy wyjściowe detektora fazy zanikają i częstotliwość pętli PLL przestaje być kontrolowana aż narastający błąd fazy przekroczy strefę martwą. Wzrastają wtedy szumy fazowe generowanego przez pętlę PLL sygnału. Aby temu zapobiec modyfikuje się konstrukcję detektora tak aby nieco opóźnić zerowanie przerzutników np wprowadzając dodatkowe stany pośrednie. W takim detektorze w stanie synchronizacji na wyjściu występują dwa impulsy, dodatni i ujemny, wzajemnie się równoważące.

Trójstanowe detektory fazy charakteryzują się dość złożoną konstrukcją a ponadto nieco większymi niż w innych detektorach szumami własnymi oraz ograniczonym pasmem częstotliwości wejściowych. Pomimo tego, ich zalety spowodowały, że obecnie to one są powszechnie stosowane w pętlach PLL przeznaczonych do syntezy częstotliwości w radiokomunikacji.

Filtr pętli

Filtr pętli jest elementem decydującym o stabilności i właściwościach dynamicznych pętli PLL.

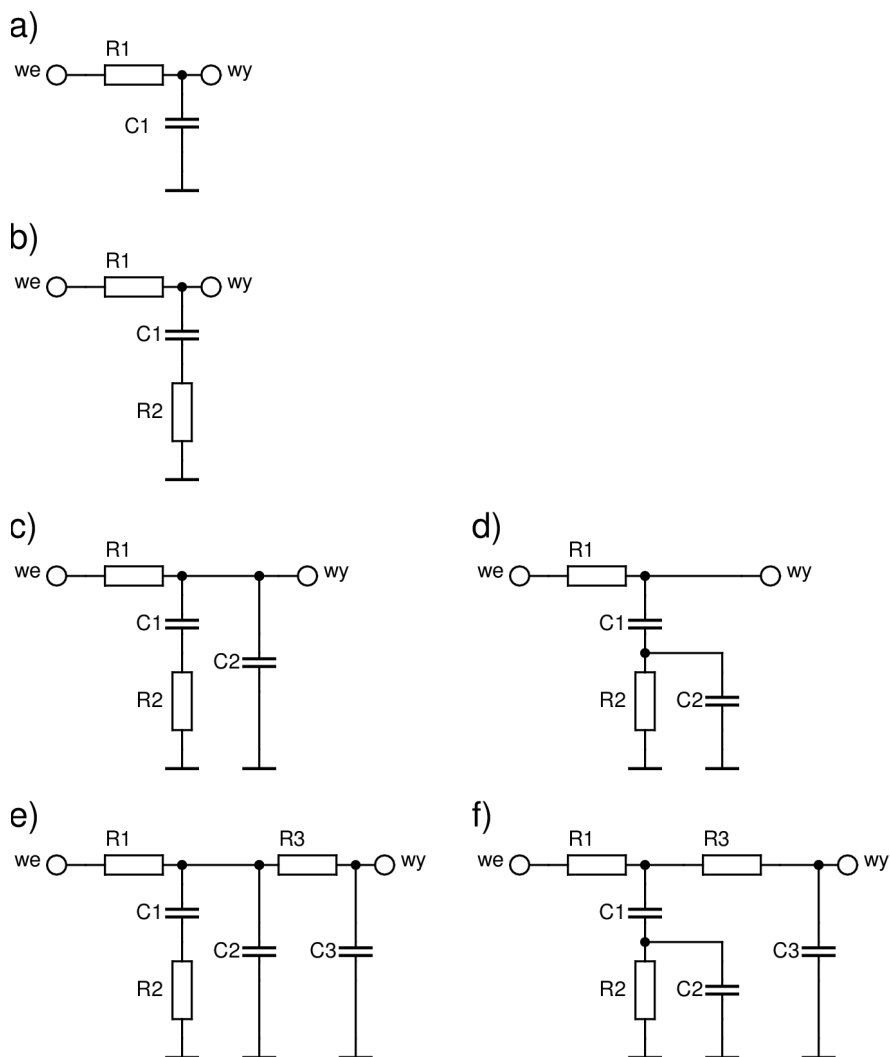
W teorii najprostszym filtrem pętli jest brak filtru. Pętla PLL jest wtedy układem 1 rzędu, z jednym idealnym integratorem. Pasma takiej pętli zależy od nachyleń charakterystyk detektora fazy i generatora VCO:

$$f_g = \frac{K_d K_g}{4N}$$

Układ taki jest zawsze stabilny, jednak uzyskana szerokość pasma pętli zwykle nie będzie optymalna. W praktycznej realizacji pojawia się dodatkowy problem, na wyjściu detektora fazy zazwyczaj są obecne niepożądane składowe zmienne nałożone na stałe napięcie wyjściowe. W przypadku detektora iloczynowego jest to przebieg o częstotliwości dwukrotnie większej od częstotliwości porównania fazy a w detektorze trójstanowym impulsy o częstotliwości porównania fazy. Obecność takich przebiegów na wejściu generatora VCO mocno pogorszy jakość sygnału wyjściowego wprowadzając pasożytniczą modulację częstotliwości.

Aby wytłumić tą modulację konieczne jest zastosowanie filtru dolnoprzepustowego jako filtru pętli. Najprostszy filtr dolnoprzepustowy pierwszego rzędu (rys 9a) mógłby zostać użyty do

wytlumienia składowych niepożądanych. Powoduje on jednak duże przesunięcie fazy, które teraz może osiągnąć niemal $\pi/2$ (90°) i pętla znajdzie się bardzo blisko granicy stabilności. Wprawdzie zgodnie z teorią (jest to układ rzędu drugiego) układ powinien pozostać stabilny, jednak margines fazy będzie tak mały że odpowiedź pętli będzie silnie oscylacyjna a czas ustalania się częstotliwości wyjściowej będzie bardzo duży. Przy małym marginesie fazy nie uwzględnione w obliczeniach dodatkowe opóźnienia sygnału mogą wprowadzić na tyle duże dodatkowe przesunięcie fazy że układ stanie się niestabilny. Poprawa stabilności pętli poprzez zmniejszenie stałej czasowej filtra powoduje, że staje się on nieskuteczny i przestaje tłumić modulację częstotliwości sygnału wyjściowego.



Rysunek 9: Pasywne filtry pętli PLL:

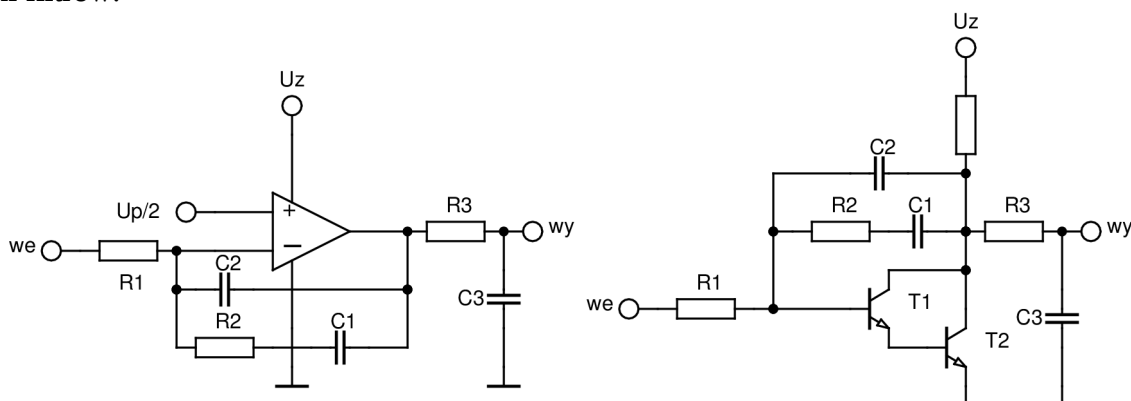
- a) całkujący 1 rzędu,
- b) całkująco-proporcjonalny 1 rzędu,
- c), d) całkująco-proporcjonalno-całkujący 2 rzędu (2 warianty),
- e), f) całkująco-proporcjonalno-całkujący 3 rzędu (2 warianty)

Zmniejszenie przesunięcia fazy przy dużych częstotliwościach można uzyskać włączając rezystor szeregowo z kondensatorem (rys 9b). Poprawia on stabilność pętli kosztem zmniejszenia skuteczności filtra i istotnego wzrostu poziomu sygnałów zakłócających na wejściu generatora VCO.

Aby ten wzrost zminimalizować, dodaje się kolejny kondensator poprawiający filtrację dla najwyższych częstotliwości (rys 9cd). Jest to najczęściej spotykany układ filtra pętli. Optymalnie obliczony powinien zapewnić założony margines fazy dla częstotliwości granicznej pętli (zazwyczaj równy około 45°) i dobre tłumienie niepożądanych składowych na wejściu generatora VCO. Pętla PLL z takim filtrem jest układem rzędu trzeciego.

Stosuje się też filtry pętli wyższych rzędów dodając kolejne sekcje dolnoprzepustowe (rys. 9ef), jednak tak aby nie powiększyć przesunięcia fazy w okolicy częstotliwości granicznej pętli. Stosowane też bywają sekcje dolnoprzepustowe LC lub sekcje pasmowozaporowe np w układzie podwójne T dodatkowo tłumiące sygnały niepożądane o częstotliwości porównania fazy.

Przedstawione na rysunku 9 filtry są filtrami pasywnymi dostosowanymi do detektorów fazy z wyjściem napięciowym. Stosowane są również filtry aktywne zbudowane z wykorzystaniem wzmacniaczy operacyjnych lub nawet pojedynczych tranzystorów. Przykłady realizacji takich filtrów są przedstawione na rysunku 10. Filtry aktywne mogą wzmacniać sygnał i zwiększać zakres napięć sterujących generatorem VCO. Może to być konieczne np. przy użyciu w generatorze VCO diod pojemnościowych starszych typów wymagających przestrajania napięciem dochodzącym do 30V. Należy zwrócić uwagę na to, że taki filtr aktywny odwraca fazę i musi być to uwzględnione w konstrukcji detektora fazy. Prostsze układy scalone realizujące pętlę PLL zwykle wymagają użycia określonego typu filtru, odwracającego fazę lub nie, a bardziej złożone układy uniwersalne mają możliwość zmiany polaryzacji wyjść detektora fazy i mogą współpracować z obydwoma typami filtrów.

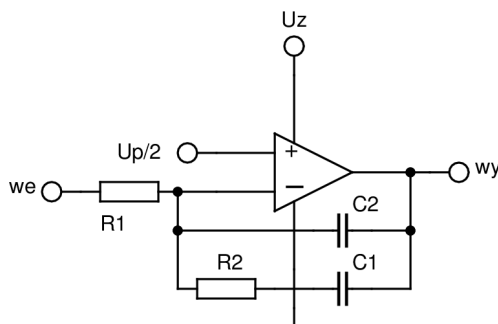


Rysunek 10: Przykładowe filtry aktywne pętli PLL rzędu trzeciego

Zarówno filtry aktywne jak i pasywne można używać także w przypadku detektorów fazy z wyjściem prądowym. Zbędny jest wtedy rezystor R1 na wejściu filtru a jego funkcję przejmuje wydajność prądowa wyjścia detektora fazy.

Charakterystyka częstotliwościowa filtru pętli

Charakterystyka częstotliwościowa filtru pętli zostanie przedstawiona na przykładzie filtru aktywnego całkująco-proporcjonalno-całkującego drugiego rzędu o schemacie przedstawionym na rysunku 11. Jest to najprostszy filtr zapewniający właściwą pracę pętli PLL a przy tym stosunkowo łatwy do obliczenia.



Rysunek 11: Przykładowy filtr pętli rzędu drugiego

Transmitancja takiego filtru jest zależna od transmitancji $Z(j\omega)$ obwodu RC w obwodzie sprzężenia zwrotnego wzmacniacza operacyjnego:

$$F(j\omega) = \frac{Z(j\omega)}{R1} = \frac{1}{R1} \cdot \frac{1}{j\omega C2 + \frac{1}{R2 + \frac{1}{j\omega C1}}} = \frac{1 + j\omega C1 R2}{j\omega(C1+C2)R1 - \omega^2 C1 C2 R1 R2} =$$

$$= \frac{1}{j\omega \tau_1} \cdot \frac{1 + j\omega \tau_2}{1 + j\omega \tau_3}$$

i można ją opisać za pomocą trzech stałych czasowych:

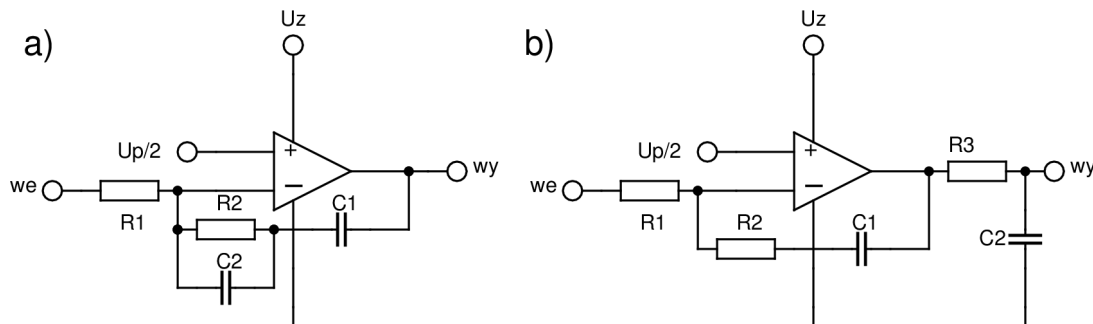
$$\tau_1 = R1(C1+C2)$$

$$\tau_2 = R2C1$$

$$\tau_3 = R2 \frac{C1C2}{(C1+C2)}$$

główna stała czasowa τ_1 odpowiada za filtrację dolnoprzepustową w filtrze a stałe czasowe τ_2 i τ_3 formują „schodek” na charakterystyce zapewniający uzyskanie wymaganego marginesu stabilności. Wzory te można również zastosować w przypadku filtru pasywnego z rysunku 9c.

Do podobnej postaci można przekształcić również transmitancje alternatywnych układów filtrów drugiego rzędu:



Rysunek 12: Alternatywne układy filtrów aktywnych

Dla filtru przedstawionego na rysunku 12a (a tak że pasywnego z rysunku 9d) stałe czasowe wyrażają się wzorami:

$$\tau_1 = R1C1$$

$$\tau_2 = R2(C1+C2)$$

$$\tau_3 = R2C2$$

a dla filtru przedstawionego na rysunku 12b:

$$\tau_1 = R1C1$$

$$\tau_2 = R2C1$$

$$\tau_3 = R3C2$$

Aby uzyskać optymalny przebieg charakterystyki fazowej, pulsacje ω_2 i ω_3 odpowiadające stałym czasowym τ_2 i τ_3 powinny być rozmieszczone symetrycznie po obu stronach żądanej pulsacji granicznej pętli $\omega_g = 2\pi f_g$:

$$\omega_2 = \frac{1}{\tau_2} = \alpha \omega_g$$

$$\omega_3 = \frac{1}{\tau_3} = \frac{\omega_g}{\alpha}$$

gdzie α jest pewną stałą z przedziału (0...1). Margines fazy będzie wtedy wyrażał się wzorem:

$$\varphi(\omega) = \arctan(\omega \tau_2) - \arctan(\omega \tau_3) + \pi$$

i będzie osiągał maksimum dla częstotliwości f_g i wynoszące:

$$\varphi_{max} = \varphi(\omega_g) = \arctan\left(\frac{\tau_3 - \tau_2}{2\sqrt{\tau_2 \tau_3}}\right) = \arctan\left(\frac{1 - \alpha^2}{2\alpha}\right)$$

Podczas projektowania pętli margines fazy φ_{max} jest zwykle zadany (zależy od niego charakter odpowiedzi impulsowej) a wtedy parametr α można wyznaczyć ze wzoru:

$$\alpha = \sec \varphi_{\max} - \tan \varphi_{\max} = \frac{1 - \sin \varphi_{\max}}{\cos \varphi_{\max}}$$

dla często spotykanej wartości $\varphi_{\max} = 45^\circ$ współczynnik α wynosi $\sqrt{2} - 1 \approx 0,414$.

Obliczenie wymaganej stałej czasowej τ_1 wymaga powiązania charakterystyk częstotliwościowych pętli otwartej i zamkniętej. W ogólnym przypadku jest to złożony problem obliczeniowy, jednak można z dostateczną dokładnością przyjąć że dla częstotliwości granicznej f_g pętli zamkniętej moduł wzmocnienia pętli otwartej powinien być równy 1 (warunek ten byłby dokładnie spełniony gdyby przesunięcie fazy dla częstotliwości f_g wynosiło 90° , zwykle wynosi ono jednak około 135°).

Podstawiając charakterystykę filtru do transmitancji otwartej pętli uzyskuje się wyrażenie:

$$K_o(j\omega) = \frac{K_g K_\varphi}{N} \frac{F(j\omega)}{j\omega} = \frac{K_g K_\varphi}{N} \frac{1}{j\omega} \cdot \frac{1}{j\omega \tau_1} \cdot \frac{1+j\omega \tau_2}{1+j\omega \tau_3} = \frac{-K_g K_\varphi}{N} \cdot \frac{1}{\omega^2 \tau_1} \cdot \frac{1+j\omega \tau_2}{1+j\omega \tau_3}$$

którego moduł dla pulsacji granicznej ω_g wynosi:

$$|K_o(\omega_g)| = \frac{K_g K_\varphi}{N \omega_g^2 \tau_1} \sqrt{\frac{1+\omega_g^2 \tau_2^2}{1+\omega_g^2 \tau_3^2}} = \frac{K_g K_\varphi}{N \omega_g^2 \tau_1} \sqrt{\frac{1+\alpha^{-2}}{1+\alpha^2}} = \frac{K_g K_\varphi}{N \omega_g^2 \tau_1 \alpha}$$

Porównując powyższą wielkość z wymaganą wartością 1 otrzymujemy żadaną stałą czasową :

$$\tau_1 = \frac{K_g K_\varphi}{N \omega_g^2 \alpha}$$

W przypadku detektorów fazy z wyjściem prądowym nie występuje rezystor R1 i transmitancja pętli przyjmuje postać:

$$K_o(j\omega) = \frac{-K_g K_\varphi}{N} \cdot \frac{1}{\omega^2 C} \cdot \frac{1+j\omega \tau_2}{1+j\omega \tau_3}$$

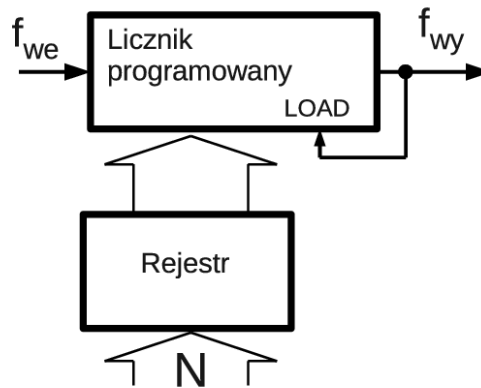
gdzie C jest z sumą pojemności C1 i C2 w filtrze z rysunku 11 lub pojemnością C1 w filtrach z rysunku 12. Można ją wyznaczyć z analogicznego wzoru jak powyżej:

$$C = \frac{K_g K_\varphi}{N \omega_g^2 \alpha}$$

Przy projektowaniu filtrów wyższych rzędów stałe czasowe dodatkowych biegunów dobiera się mniejsze od τ_3 , tak aby nie powiększyć przesunięcia fazy dla częstotliwości bliskich częstotliwości granicznej zamkniętej pętli.

Dzielniki częstotliwości

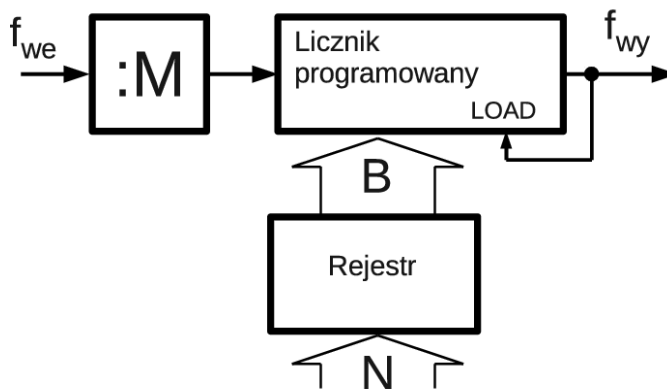
Dzielniki częstotliwości w pętlach PLL realizuje się jako układy cyfrowe zliczające impulsy. Aby umożliwić zmianę częstotliwości wyjściowej układ taki musi mieć możliwość nastawienia ilości odliczanych impulsów wejściowych przypadających na jeden impuls wyjściowy. Można to uzyskać budując dzielnik częstotliwości z wykorzystaniem licznika liczącego w dół (rys. 13). Impulsy o częstotliwości sygnału wejściowego powodują dekrementację stanu licznika od początkowej wartości N do zera. Po odliczeniu N impulsów i osiągnięciu stanu zerowego generowany jest impuls przeniesienia. Powoduje on ponowne załadowanie licznika wartością N i cykl się powtarza dając jeden impuls wyjściowy (impuls przeniesienia) na N impulsów wejściowych taktujących licznik.



Rysunek 13: Programowalny dzielnik częstotliwości

Jako dzielnik wejściowy pętli (podział częstotliwości wzorcowej przez R) w prostszych lub wąsko wyspecjalizowanych układach jest stosowany często dzielnik o stałym współczynniku podziału. Wtedy krok syntezy może być zmieniany jedynie przez zmianę częstotliwości wzorcowej. Bardziej uniwersalne układy scalone realizujące pętlę PLL mają programowane dzielniki zarówno w torze częstotliwości odniesienia jak i w torze sprzężenia zwrotnego, co umożliwia zmianę zarówno współczynnika R jak i N .

Tak skonstruowany dzielnik nie może jednak pracować z bardzo wysoką częstotliwością wejściową. W ciągu jednego okresu sygnału wejściowego musi być przeprowadzona dekrementacja licznika, sprawdzenie jego stanu oraz, w razie potrzeby, przeładowanie nową wartością. Ogranicza to maksymalną częstotliwość pracy do kilkudziesięciu megaherców. Aby móc dzielić wyższe częstotliwości, na wejściu dzielnika programowalnego można włączyć dodatkowy szybki dzielnik częstotliwości nazywany preskalerem, obniżający częstotliwość M -krotnie. Dzięki temu można uzyskać M -krotne zwiększenie częstotliwości wyjściowej pętli PLL przy tym samym dzielniku programowanym. W najprostszym przypadku współczynnik podziału preskalera M jest stały i najczęściej jest to potęga liczby 2. Tak działający układ można łatwo zrealizować jako kaskadowe połączenie przerzutników T i przy zastosowaniu odpowiedniej technologii można uzyskać maksymalną częstotliwość pracy sięgającą nawet kilkunastu gigaherców.



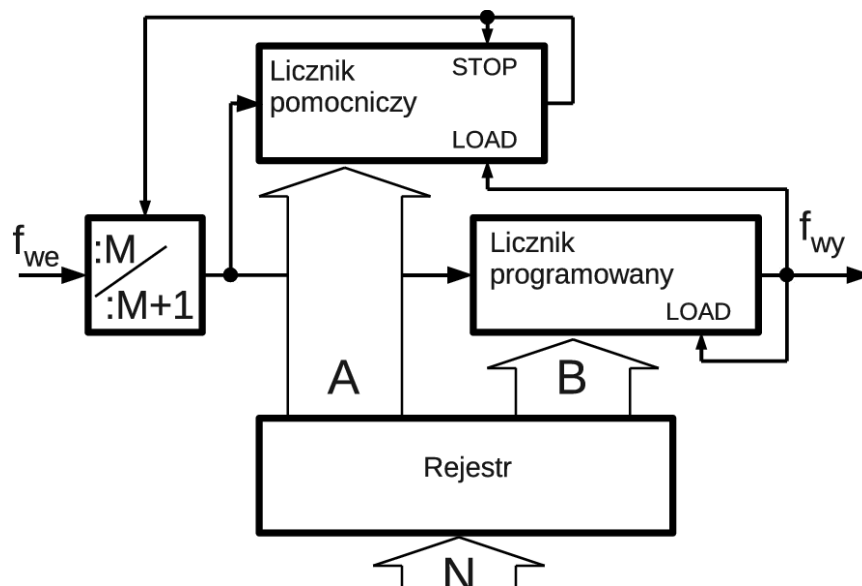
Rysunek 14: Dzielnik częstotliwości z preskalerem jednomodułowym

Wadą powyższego rozwiązania jest to, że całkowity współczynnik podziału dzielnika nie może przybierać dowolnych wartości całkowitych, a tylko te które są wielokrotnościami współczynnika podziału preskalera M :

$$N = MB$$

powoduje to M -krotne zwiększenie kroku generowanej częstotliwości. Można próbować je skompensować obniżając częstotliwość porównania fazy, jednak parametry generowanego sygnału (poziom szumów fazowych, czas ustalania się częstotliwości) ulegną pogorszeniu. W pewnych przypadkach nie stanowi to problemu, np. w telewizji naziemnej gdzie wymagany krok syntezy

wynosi od 62,5 do 250kHz lub satelitarnej (krok rzędu 1MHz). Rozwiązaniem jest zastosowanie preskalera dwumodułowego, może on dzielić częstotliwość przez M lub M+1 w zależności od stanu wejścia sterującego. Maksymalne częstotliwości pracy takich preskalerów sięgają kilku gigaherców, niewiele mniej niż opisanych wcześniej preskalerów jednomodułowych. Podobnie jak w zwykłym preskalerze jednomodułowym współczynnik M jest zwykle potęgą 2, chociaż dawniej zdarzały się też układy z dziesiętnym podziałem częstotliwości, np. 10/11. W starszych rozwiązaniach preskaler był oddzielnym układem scalonym wykonanym w szybkiej technologii bipolarnej, w obecnych rozwiązaniach preskaler jest zintegrowany w jednym układzie z resztą pętli PLL wykonaną w technologii CMOS.



Rysunek 15: Dzielnik częstotliwości z preskalerem dwumodułowym

Preskaler dwumodułowy wymaga doprowadzenia sygnału sterującego współczynnikiem podziału. Jest on wytwarzany w liczniku pomocniczym zliczającym impulsy z wyjścia preskalera, podobnie jak główny licznik programowany. W stanie początkowym stan wejścia sterującego preskalerem jest taki, że współczynnik podziału wynosi M+1. Licznik pomocniczy odlicza zaprogramowaną liczbę A impulsów, po czym jego wyjście zmienia stan blokując dalsze odliczanie i zmienia współczynnik podziału preskalera na M. Główny licznik programowany zlicza nadal, gdyż jest zaprogramowany liczbą B większą od A. Po kolejnych B-A impulsach generuje wyjściowy impuls przeniesienia, który także ładuje wszystkie liczniki wartościami początkowymi i cykl się powtarza. Podczas całego cyklu liczba zliczonych okresów częstotliwości wejściowej wynosi:

$$N = (M+1)A + M(B-A) = MB + A$$

i tyle wynosi współczynnik podziału częstotliwości. Aby układ pracował poprawnie, liczba B nie może być mniejsza od A, co prowadzi do warunku na minimalny współczynnik podziału:

$$N_{min} = M(M-1)$$

Poniżej tej wielkości ustawienie niektórych wartości współczynnika podziału nie jest możliwe. Powyższy warunek nakłada dodatkowe ograniczenia na minimalną częstotliwość wyjściową pętli PLL, tym silniejsze im większa jest wartość M. Jednak wartość współczynnika M nie może być zbyt niska, gdyż wtedy zostanie przekroczona maksymalna częstotliwość pracy liczników programowalnych. Z powodu tych ograniczeń układy przeznaczone na różne zakresy częstotliwości mają preskalery o różnych współczynnikach podziału M. W bardziej rozbudowanych układach istnieje możliwość wyboru optymalnego współczynnika podziału preskalera spośród kilku wartości.

Zmniejszenie wartości N_{min} przy zachowaniu znacznej wartości współczynnika podziału preskalera M jest możliwe w preskalerach wielomodułowych, dzielących przez M, M+1 oraz M+K gdzie K jest liczbą całkowitą większą od 1, jednak wymagają one bardziej złożonego układu sterującego.